

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Yu

Serial No.: Unassigned

Filed: January 9, 2004

For: Shift-Register Circuit

Group Art Unit: Unassigned

Examiner: Unassigned

Docket No. 250122-1150

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "Shift-Register Circuit", filed May 22, 2003, and assigned serial number 92113823. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application.

Respectfully Submitted,

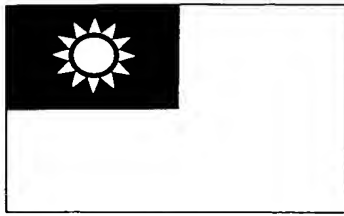
**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:



**Daniel R. McClure, Reg. No. 38,962**

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 22 日  
Application Date

申請案號：092113823  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 7 月 9 日  
Issue Date

發文字號：09220691330  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	移位暫存電路
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 尤建盛
	姓 名 (英文)	1. Jian-Shen Yu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市光復路一段89巷123之5號2樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 李焜耀
代表人 (英文)	1.	



四、中文發明摘要 (發明名稱：移位暫存電路)

一種移位暫存電路，具有複數串接級之移位暫存單元，包括下列元件：第一電晶體，其閘極耦接於反相時脈信號，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端；反相裝置，具有第一輸入及輸出端，第一輸入端耦接於第一電晶體之第一源/汲極；第二電晶體，其閘極耦接於第一電晶體之第二源/汲極，其第一源/汲極耦接於時脈信號，其第二源/汲極耦接於輸出端；第三電晶體，其閘極耦接於反相裝置之第一輸出端，其第一源/汲極耦接於輸出端；其第二源/汲極耦接於耦接於第一電源；以及第四電晶體，其閘極耦接於後一串接級之移位暫存單元的輸出端，其第一源/汲極耦接於第二電晶體之第二源/汲極，其第二源/汲極耦接於第一電源。

伍、(一)、本案代表圖為：第6圖。

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：移位暫存電路)

Q1-Q4~電晶體；

20~反相裝置。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係有關於一種移位暫存電路，特別是有關於一種應用於液晶顯示器之移位暫存電路。

### 【先前技術】

第1圖顯示Ullrich於1978年提出之專利編號US 4,084,106所揭露之傳統移位暫存電路(shift register)電路結構，於第1圖中僅顯示單一移位暫存單元，複數串接之移位暫存單元即可構成完整之移位暫存電路，如第1圖所示，反時脈信號XCK耦接到3個NMOS電晶體Q1~Q3之閘極端，每個NMOS電晶體均具有一內部電容Cgd。

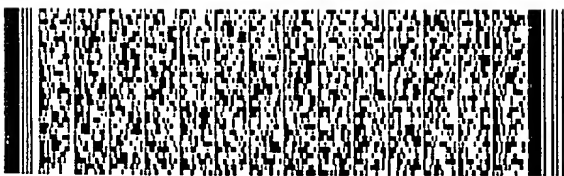
動態功率損耗(dynamic powerloss)的公式為：

$$P = fcv^2$$
，其中，p代表動態功率損耗，f代表反時脈信號XCK之頻率，c代表電容，v代表反時脈信號XCK由低電位到高電位之電壓差；由上式可知，當電容越大時，功率損耗也就越大。

### 【發明內容】

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種移位暫存電路，減少電晶體之閘極電容耦接到時脈信號的數量，以降低動態功率的損耗。

為獲致上述之目的，本發明提出一種移位暫存電路，具有複數串接級之移位暫存單元，上述移位暫存單元，包括下列元件：第一電晶體，其閘極耦接於反相時脈信號，



## 五、發明說明 (2)

其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端；反相裝置，具有第一輸入端及第一輸出端，第一輸入端耦接於第一電晶體之第一源/汲極；第二電晶體，其閘極耦接於第一電晶體之第二源/汲極，其第一源/汲極耦接於時脈信號，其第二源/汲極耦接於一輸出端；第三電晶體，其閘極耦接於反相裝置之第一輸出端，其第一源/汲極耦接於輸出端；其第二源/汲極耦接於耦接於第一電源；以及第四電晶體，其閘極耦接於後一串接級之移位暫存單元的輸出端，其第一源/汲極耦接於第二電晶體之第二源/汲極，其第二源/汲極耦接於第一電源。

另外，本發明提出一種移位暫存電路，具有複數串接級之移位暫存單元，上述移位暫存單元，包括：第一電晶體，其閘極耦接於反相時脈信號，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端；第二電晶體，其閘極耦接於第一電晶體之第二源/汲極，其第一源/汲極耦接於時脈信號，其第二源/汲極耦接於一輸出端；反相裝置，具有第一輸入端及第一輸出端，第一輸入端耦接於輸出端；第三電晶體，其閘極耦接於反相裝置之第一輸出端，其第一源/汲極耦接於輸出端；其第二源/汲極耦接於耦接於第一電源；以及第四電晶體，其閘極耦接於後一串接級之移位暫存單元的輸出端，其第一源/汲極耦接於第二電晶體之第二源/汲極，其第二源/汲極耦接於第一電源。

另外，本發明提出一種移位暫存電路，具有複數串接級之移位暫存單元，上述移位暫存單元，包括下列元件：





### 五、發明說明 (3)

第一電晶體，其閘極耦接於反相時脈信號，其第一源/汲極耦接於觸發端；反相裝置，具有第一輸入和輸出端，第一輸入端耦接於第一電晶體之第一源/汲極；第二電晶體，其閘極耦接於第一電晶體之第二源/汲極，其第一源/汲極耦接於時脈信號，其第二源/汲極耦接於輸出端；第三電晶體，其閘極耦接於反相裝置之第一輸出端，其第一源/汲極耦接於輸出端；其第二源/汲極耦接於耦接於第一電源；第四電晶體，其閘極耦接重置端，其第一源/汲極耦接於第二電晶體之第二源/汲極，其第二源/汲極耦接於第一電源；以及方向控制裝置，用以控制移位暫存電路輸出的順序方向。

上述方向控制裝置，包括：第五電晶體，其閘極接收向左信號，用以控制移位暫存電路向左輸出，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於重置端；第六電晶體，其閘極接收向左信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於觸發端；第七電晶體，其閘極接收向右信號，用以控制移位暫存電路向右輸出，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於觸發端；以及第八電晶體，其閘極接收向右信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於重置端。

另外，本發明提出一種移位暫存電路，具有複數串接級之移位暫存單元，上述移位暫存單元，包括：第一電晶



#### 五、發明說明 (4)

體，其閘極耦接於反相時脈信號，其第一源/汲極耦接於觸發端；第二電晶體，其閘極耦接於第一電晶體之第二源/汲極，其第一源/汲極耦接於時脈信號，其第二源/汲極耦接於輸出端；反相裝置，具有第一輸入及輸出端，第一輸入端耦接於輸出端；第三電晶體，其閘極耦接於反相裝置之第一輸出端，其第一源/汲極耦接於輸出端；其第二源/汲極耦接於耦接於第一電源；第四電晶體，其閘極耦接於重置端，其第一源/汲極耦接於第二電晶體之第二源/汲極，其第二源/汲極耦接於第一電源；以及方向控制裝置，用以控制移位暫存電路輸出的順序方向。

上述方向控制裝置，包括：第五電晶體，其閘極接收向左信號，用以控制移位暫存電路向左輸出，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於重置端；第六電晶體，其閘極接收向左信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於觸發端；第七電晶體，其閘極接收向右信號，用以控制移位暫存電路向右輸出，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於觸發端；以及第八電晶體，其閘極接收向右信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於重置端。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

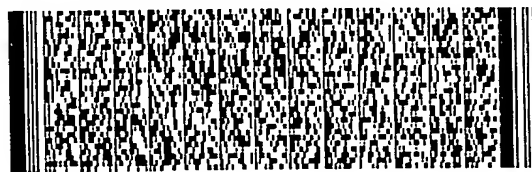
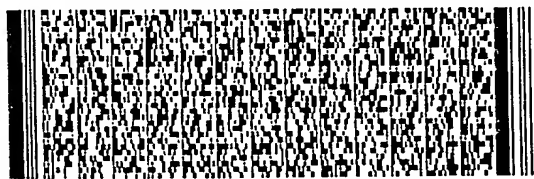


【實施方式】

本發明所述之移位暫存電路，係由複數串接之移位暫存單元所構成，以下係描述各移位暫存單元之內部結構；另外，本發明所揭露之移位暫存單元可由NMOS薄膜電晶體或是PMOS薄膜電晶體所組成，若係由NMOS薄膜電晶體所組成，則第一電源VSS為低電壓位準，第二電源VDD為高電壓位準；若係由PMOS薄膜電晶體所組成，則第一電源VSS為高電壓位準，第二電源VDD為低電壓位準；本發明所有實施例均由NMOS薄膜電晶體所組成。

第2圖顯示顯示本發明第一實施例所述之移位暫存單元之電路結構圖。在此僅顯示單一級移位暫存單元，以第N級移位暫存單元為例，複數串接之移位暫存單元即可構成完整之移位暫存電路。本發明第一實施例之移位暫存單元包括：一第一電晶體Q1，其閘極耦接於反相時脈信號XCK，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端(N-1)OUT；

一反相裝置20，其低電壓源為VSS，高電壓源為XCK，具有一第一輸入端及一第一輸出端，第一輸入端耦接於第一電晶體Q1之第一源/汲極；一第二電晶體Q2，其閘極耦接於第一電晶體Q1之第二源/汲極，其第一源/汲極耦接於時脈信號CK，其第二源/汲極耦接於一輸出端(N)OUT；一第三電晶體Q3，其閘極耦接於反相裝置20之第一輸出端，其第一源/汲極耦接於輸出端(N)OUT；其第二源/汲極耦接



## 五、發明說明 (6)

於耦接於第一電源VSS；

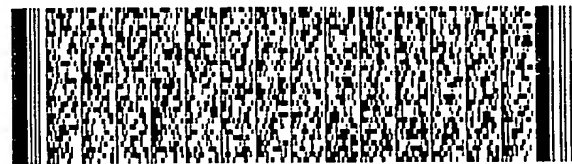
以及，一第四電晶體Q4，其閘極耦接於後一串接級之移位暫存單元的輸出端(N+1)OUT，其第一源/汲極耦接於第二電晶體Q2之第二源/汲極，其第二源/汲極耦接於第一電源VSS。在本發明所有實施例中，更包括：一電容器C(以虛線表示)，使得第N級的輸出端OUT更加穩定；

當第一電晶體Q1之閘極接收到反時脈信號XCK的高位準信號時，第一電晶體Q1導通，使得前一串接級(N-1)級之移位暫存單元的輸出端(N-1)OUT所輸出之高位準信號透過第一電晶體Q1而導通第二電晶體Q2，因此輸出端(N)OUT輸出時脈信號CK至下一級移位暫存單元。

另外，由於下一級(N+1)移位暫存單元之輸出(N+1)OUT係回授到第四電晶體Q4之閘極，因此，當下一級(N+1)移位暫存單元之輸出端(N+1)OUT為高位準信號時，第四電晶體將導通以使輸出端(N)OUT為低位準信號。

而當前一串接級(N-1)級之移位暫存單元的輸出端(N-1)OUT輸出低位準信號時，透過反相裝置20使得第三電晶體Q3導通，使得輸出端(N)OUT在沒有輸出時，可保持在低位準。

第3圖顯示顯示根據本發明實施例所述之移位暫存電路之時序圖。以第2圖為例，(N)OUT代表第N級之移位暫存單元的輸出端；(N-1)OUT代表前一串接級之移位暫存單元的輸出端；(N+1)OUT代表後一串接級之移位暫存單元的輸出端；如圖所示，根據本發明實施例所述之移位暫存電



#### 五、發明說明 (7)

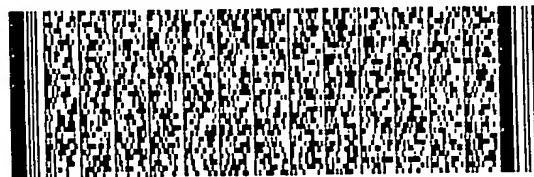
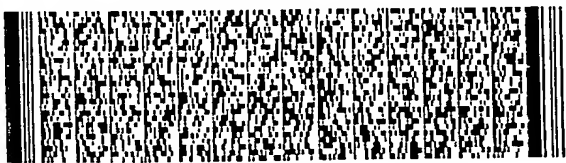
路，各級移位暫存單元之輸出信號均相差一個時脈週期的時間，符合移位暫存電路之要求。

另外，當第一電晶體Q1被導通時，A點的位準信號與前一串接級之移位暫存單元的輸出端(N-1)OUT相同，然後，當反相時脈信號XCK為高位準信號時，A點為浮動狀態(floating state)，利用耦合壓差(feed-through voltage drop)原理，當時脈信號CK為高位準信號時，為保持第二電晶體Q2之閘極與第一源/汲極之壓差，會使得A點的位準更高。

第4圖顯示顯示本發明第二實施例所述之移位暫存單元之電路結構圖。如圖所示，反相裝置20為一反相器21，其輸入端耦接於第一電晶體Q1之第一源/汲極，反相器21之輸出端耦接第三電晶體Q3之閘極。

第5圖顯示顯示本發明第三實施例所述之移位暫存單元之電路結構圖。如圖所示，反相裝置20包括：一第五電晶體Q5，其閘極與第一源/汲極耦接於反相時脈信號XCK，其第二源/汲極耦接於第三電晶體Q3之閘極端；以及一第六電晶體Q6，其閘極耦接於第一電晶體Q1之第一源/汲極，其第一源/汲極耦接於第三電晶體Q3之閘極端，其第二源/汲極耦接於第一電源VSS。

第6圖顯示顯示本發明第四實施例所述之移位暫存單元之電路結構圖。如圖所示，反相裝置20的輸入端耦接輸出端(N)OUT，反相裝置20之輸出端耦接第三電晶體Q3之閘極。



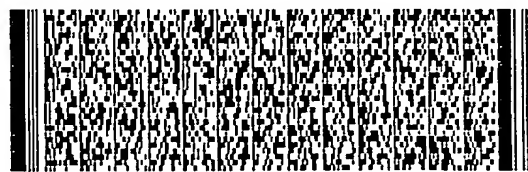
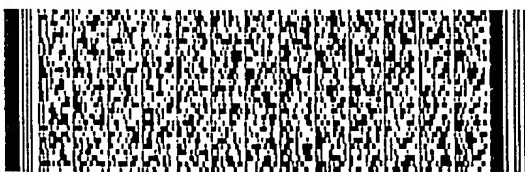
## 五、發明說明 (8)

第7圖顯示顯示本發明第五實施例所述之移位暫存單元之電路結構圖。如圖所示，反相裝置20為一反相器21；其輸入端耦接輸出端(N)OUT，反相器21之輸出端耦接第三電晶體Q3之閘極，用以使輸出端(N)OUT在沒有輸出時，可保持在低位準。

第8圖顯示顯示本發明第六實施例所述之移位暫存單元之電路結構圖。如圖所示，反相裝置20，包括：一第五電晶體Q5，其閘極與第一源/汲極耦接於反相時脈信號XCK，其第二源/汲極耦接於第三電晶體Q3之閘極端；以及一第六電晶體Q6，其閘極耦接於輸出端(N)OUT，其第一源/汲極耦接於第三電晶體Q3之閘極，其第二源/汲極耦接於第一電源VSS。

第9圖顯示顯示本發明第七實施例所述之移位暫存單元之電路結構圖。第七實施例與第六實施例不同之處在於：第五電晶體Q5之閘極與第一源/汲極耦接於第二電源VDD，使得僅有第一電晶體Q1之閘極接收反相時脈信號XCK，因而降低動態功率損耗。

第10圖顯示顯示本發明適用於移位暫存單元之方向控制電路結構圖。如圖所示，方向控制電路10包括：一第七電晶體Q7，其閘極接收一向左信號L，用以控制移位暫存電路向左輸出，其第一源/汲極耦接於前一串接級(N-1)之移位暫存單元的輸出端(N-1)OUT，其第二源/汲極耦接於節點C；一第八電晶體Q8，其閘極接收向右信號L，其第一源/汲極耦接於後一串接級(N+1)之移位暫存單元的輸出端



#### 五、發明說明 (9)

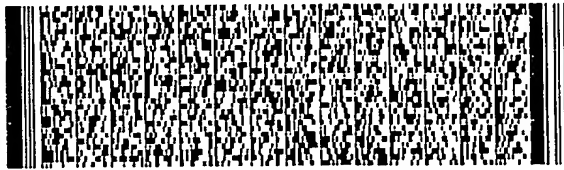
(N+1)OUT，其第二源/汲極耦接於節點B；

一第九電晶體Q9，其閘極接收一向右信號R，用以控制移位暫存電路向右輸出，其第一源/汲極耦接於前一串接級(N-1)之移位暫存單元的輸出端(N-1)OUT，其第二源/汲極耦接於節點B；以及，一第十電晶體Q10，其閘極接收一向右信號R，其第一源/汲極耦接於後一串接級(N+1)之移位暫存單元的輸出端(N+1)OUT，其第二源/汲極耦接於節點C。

本發明之方向控制電路10適用於本發明之任一實施例中，在由複數串接級之位暫存單元所組成之移位暫存電路中，在每一級移位暫存單元加入方向控制電路10，便可控制移位暫存電路輸出的方向，方向控制電路10與移位暫存單元之耦接方式，如下所述：

若以第9圖之移位暫存單元為例，將方向控制電路10的節點B耦接到第9圖的(N-1)OUT端，將方向控制電路10的節點C耦接到第9圖的(N+1)OUT端；此時，複數具有方向控制電路10的移位暫存單元所串接而成的移位暫存電路，可控制其輸出方向的功能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明：

第1圖顯示傳統移位暫存電路之電路結構。

第2圖顯示顯示本發明第一實施例所述之移位暫存單元之電路結構圖。

第3圖顯示顯示根據本發明實施例所述之移位暫存電路之時序圖。

第4圖顯示顯示本發明第二實施例所述之移位暫存單元之電路結構圖。

第5圖顯示顯示本發明第三實施例所述之移位暫存單元之電路結構圖。

第6圖顯示顯示本發明第四實施例所述之移位暫存單元之電路結構圖。

第7圖顯示顯示本發明第五實施例所述之移位暫存單元之電路結構圖。

第8圖顯示顯示本發明第六實施例所述之移位暫存單元之電路結構圖。

第9圖顯示顯示本發明第七實施例所述之移位暫存單元之電路結構圖。

第10圖顯示顯示本發明適用於移位暫存單元之方向控制電路結構圖。

【符號說明】

Q1-Q10~電晶體；

C~電容器；

10~方向控制電路；





圖式簡單說明

20~反相裝置；

21~反相器；

A-C~節點；

CK~時脈信號；

XCK~反相時脈信號；

VSS~第一電源；

VDD~第二電源。



## 六、申請專利範圍

1. 一種移位暫存電路，具有複數串接級之移位暫存單元，適用於一時脈信號、一反相時脈信號以及一第一電源，上述移位暫存單元，包括：

一第一電晶體，其閘極耦接於上述反相時脈信號，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端；

一反相裝置，具有一第一輸入端及一第一輸出端，上述第一輸入端耦接於上述第一電晶體之第一源/汲極；

一第二電晶體，其閘極耦接於上述第一電晶體之第二源/汲極，其第一源/汲極耦接於上述時脈信號，其第二源/汲極耦接於一輸出端；

一第三電晶體，其閘極耦接於上述反相裝置之第一輸出端，其第一源/汲極耦接於上述輸出端；其第二源/汲極耦接於耦接於上述第一電源；以及

一第四電晶體，其閘極耦接於後一串接級之移位暫存單元的輸出端，其第一源/汲極耦接於上述第二電晶體之第二源/汲極，其第二源/汲極耦接於上述第一電源。

2. 如申請專利範圍第1項所述之移位暫存電路，其中，上述反相裝置，包括：

一第五電晶體，其閘極與第一源/汲極耦接於上述反相時脈信號，其第二源/汲極耦接於上述第三電晶體之閘極端；以及

一第六電晶體，其閘極耦接於上述第一電晶體之第一源/汲極，其第一源/汲極耦接於上述第三電晶體之閘極



#### 六、申請專利範圍

端，其第二源/汲極耦接於上述第一電源。

3. 如申請專利範圍第1項所述之移位暫存電路，其中，更包括：一第一電容器，耦接於上述第二電晶體之閘極和第二源/汲極之間。

4. 如申請專利範圍第1項所述之移位暫存電路，其中，上述電晶體為MOS薄膜電晶體。

5. 如申請專利範圍第2項所述之移位暫存電路，其中，上述電晶體為MOS薄膜電晶體。

6. 一種移位暫存電路，具有複數串接級之移位暫存單元，適用於一時脈信號、一反相時脈信號以及一第一電源，上述移位暫存單元，包括：

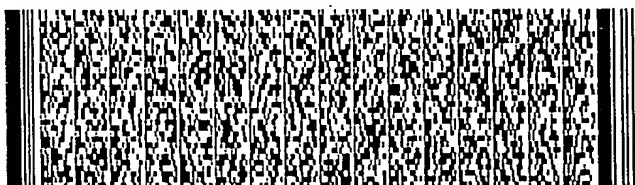
一第一電晶體，其閘極耦接於上述反相時脈信號，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端；

一第二電晶體，其閘極耦接於上述第一電晶體之第二源/汲極，其第一源/汲極耦接於上述時脈信號，其第二源/汲極耦接於一輸出端；

一反相裝置，具有一第一輸入端及一第一輸出端，上述第一輸入端耦接於上述輸出端；

一第三電晶體，其閘極耦接於上述反相裝置之第一輸出端，其第一源/汲極耦接於上述輸出端；其第二源/汲極耦接於耦接於上述第一電源；以及

一第四電晶體，其閘極耦接於後一串接級之移位暫存單元的輸出端，其第一源/汲極耦接於上述第二電晶體之



## 六、申請專利範圍

第二源/汲極，其第二源/汲極耦接於上述第一電源。

7. 如申請專利範圍第6項所述之移位暫存電路，其中，上述反相裝置，包括：

一第五電晶體，其閘極與第一源/汲極耦接於一觸發信號，其第二源/汲極耦接於上述第三電晶體之閘極端；以及

一第六電晶體，其閘極耦接於上述輸出端，其第一源/汲極耦接於上述第三電晶體之閘極端，其第二源/汲極耦接於上述第一電源。

8. 如申請專利範圍第7項所述之移位暫存電路，其中，上述觸發信號為上述反相時脈信號。

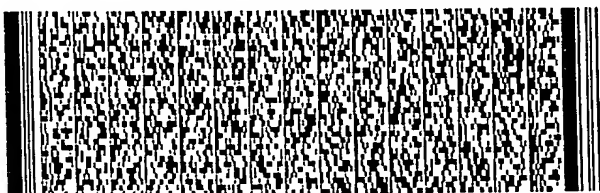
9. 如申請專利範圍第7項所述之移位暫存電路，其中，上述觸發信號為一第二電源信號，且上述第二電源信號之位準大於上述第一電源信號之位準。

10. 如申請專利範圍第6項所述之移位暫存電路，其中，更包括：一第一電容器，耦接於上述第二電晶體之閘極和第二源/汲極之間。

11. 如申請專利範圍第6項所述之移位暫存電路，其中，上述電晶體為MOS薄膜電晶體。

12. 如申請專利範圍第7項所述之移位暫存電路，其中，上述電晶體為MOS薄膜電晶體。

13. 一種移位暫存電路，具有複數串接級之移位暫存單元，適用於一時脈信號、一反相時脈信號以及一第一電源，上述移位暫存單元，包括：



## 六、申請專利範圍

一 第一電晶體，其閘極耦接於上述反相時脈信號，其第一源/汲極耦接於一觸發端；

一 反相裝置，具有一第一輸入端及一第一輸出端，上述第一輸入端耦接於上述第一電晶體之第一源/汲極；

一 第二電晶體，其閘極耦接於上述第一電晶體之第二源/汲極，其第一源/汲極耦接於上述時脈信號，其第二源/汲極耦接於一輸出端；

一 第三電晶體，其閘極耦接於上述反相裝置之第一輸出端，其第一源/汲極耦接於上述輸出端；其第二源/汲極耦接於耦接於上述第一電源；

一 第四電晶體，其閘極耦接一重置端，其第一源/汲極耦接於上述第二電晶體之第二源/汲極，其第二源/汲極耦接於上述第一電源；以及

一 方向控制裝置，用以控制上述移位暫存電路輸出的方向，上述方向控制裝置，包括：

一 第七電晶體，其閘極接收一向左信號，用以控制上述移位暫存電路向左輸出，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述重置端；

一 第八電晶體，其閘極接收上述向左信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述觸發端；

一 第九電晶體，其閘極接收一向右信號，用以控制上述移位暫存電路向右輸出，其第一源/汲極耦接於前一串



#### 六、申請專利範圍

接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述觸發端；以及

一第十電晶體，其閘極接收上述向右信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述重置端。

14. 如申請專利範圍第13項所述之移位暫存電路，其中，上述反相裝置，包括：

一第五電晶體，其閘極與第一源/汲極耦接於上述反相時脈信號，其第二源/汲極耦接於上述第三電晶體之閘極端；以及

一第六電晶體，其閘極耦接於上述第一電晶體之第一源/汲極，其第一源/汲極耦接於上述第三電晶體之閘極端，其第二源/汲極耦接於上述第一電源。

15. 如申請專利範圍第14項所述之移位暫存電路，其中，上述電晶體為MOS薄膜電晶體。

16. 一種移位暫存電路，具有複數串接級之移位暫存單元，適用於一時脈信號、一反相時脈信號以及一第一電源，上述移位暫存單元，包括：

一第一電晶體，其閘極耦接於上述反相時脈信號，其第一源/汲極耦接於一觸發端；

一第二電晶體，其閘極耦接於上述第一電晶體之第二源/汲極，其第一源/汲極耦接於上述時脈信號，其第二源/汲極耦接於一輸出端；

一反相裝置，具有一第一輸入端及一第一輸出端，上



#### 六、申請專利範圍

述第一輸入端耦接於上述輸出端；

一第三電晶體，其閘極耦接於上述反相裝置之第一輸出端，其第一源/汲極耦接於上述輸出端；其第二源/汲極耦接於耦接於上述第一電源；

一第四電晶體，其閘極耦接於一重置端，其第一源/汲極耦接於上述第二電晶體之第二源/汲極，其第二源/汲極耦接於上述第一電源；以及

一方向控制裝置，用以控制上述移位暫存電路輸出的方向，上述方向控制裝置，包括：

一第七電晶體，其閘極接收一向左信號，用以控制上述移位暫存電路向左輸出，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述重置端；

一第八電晶體，其閘極接收上述向左信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述觸發端；

一第九電晶體，其閘極接收一向右信號，用以控制上述移位暫存電路向右輸出，其第一源/汲極耦接於前一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述觸發端；以及

一第十電晶體，其閘極接收上述向右信號，其第一源/汲極耦接於後一串接級之移位暫存單元的輸出端，其第二源/汲極耦接於上述重置端。

17. 如申請專利範圍第16項所述之移位暫存電路，其



#### 六、申請專利範圍

中，上述反相裝置，包括：

一 第五電晶體，其閘極與第一源/汲極耦接於一觸發信號，其第二源/汲極耦接於上述第三電晶體之閘極端；以及

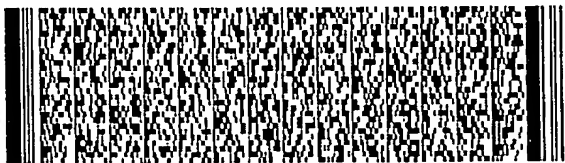
一 第六電晶體，其閘極耦接於上述輸出端，其第一源/汲極耦接於上述第三電晶體之閘極端，其第二源/汲極耦接於上述第一電源。

18. 如申請專利範圍第17項所述之移位暫存電路，其中，上述觸發信號為上述反相時脈信號。

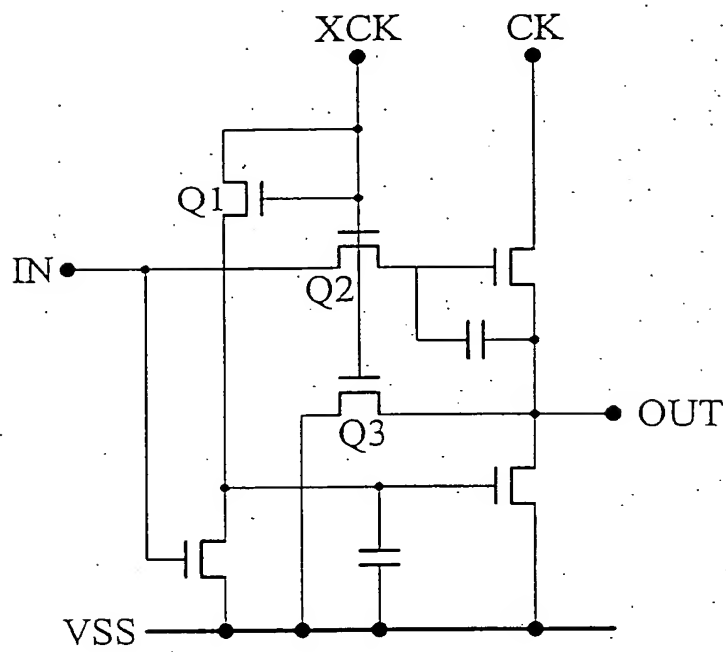
19. 如申請專利範圍第18項所述之移位暫存電路，其中，上述觸發信號為一第二電源信號，且上述第二電源信號之位準大於上述第一電源信號之位準。

20. 如申請專利範圍第16項所述之移位暫存電路，其中，上述電晶體為MOS薄膜電晶體。

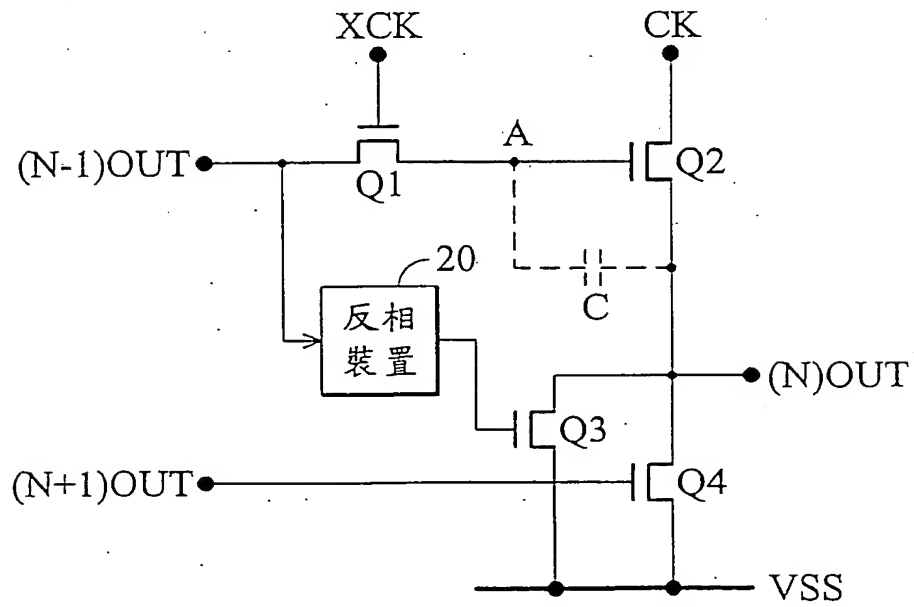
21. 如申請專利範圍第17項所述之移位暫存電路，其中，上述電晶體為MOS薄膜電晶體。



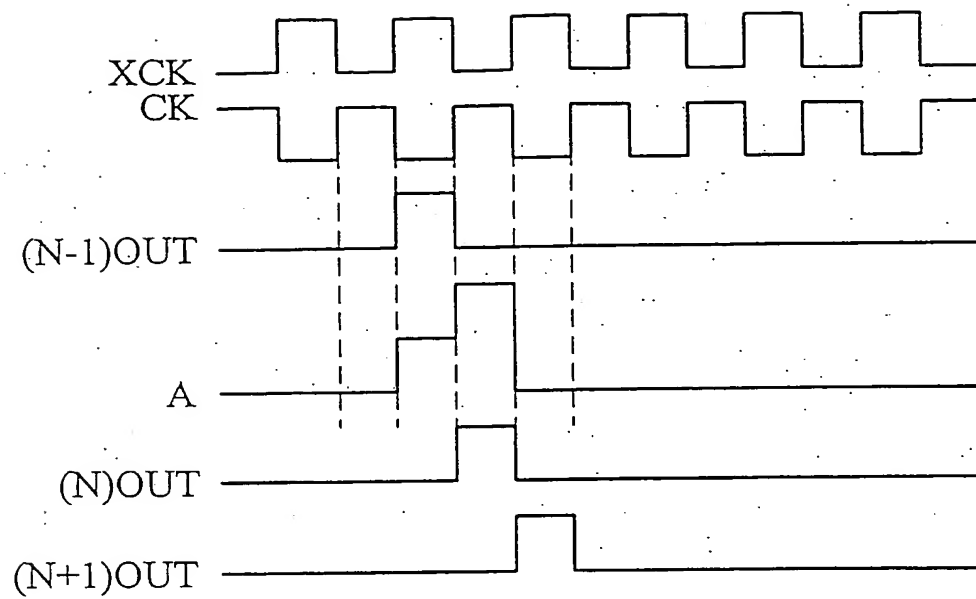




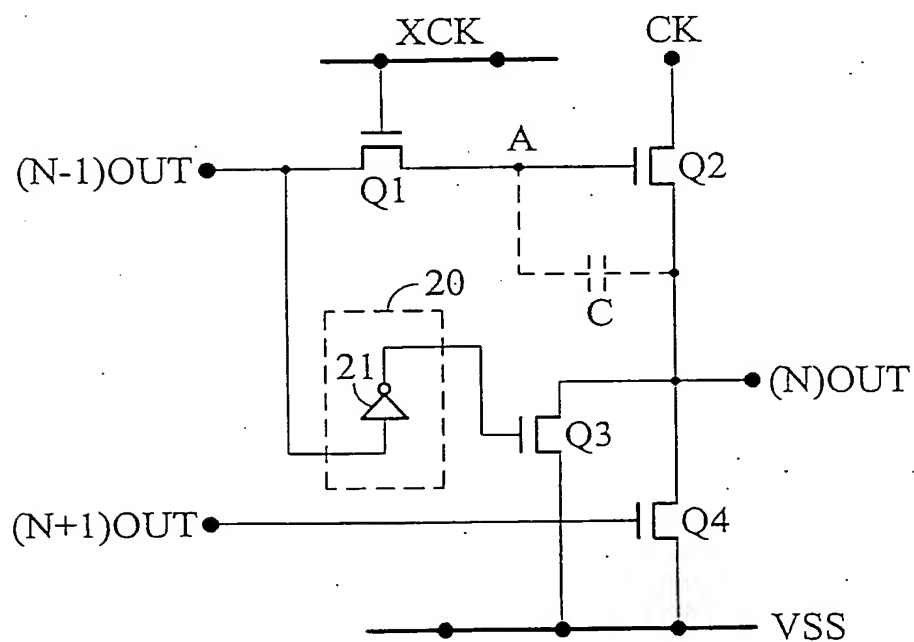
第 1 圖



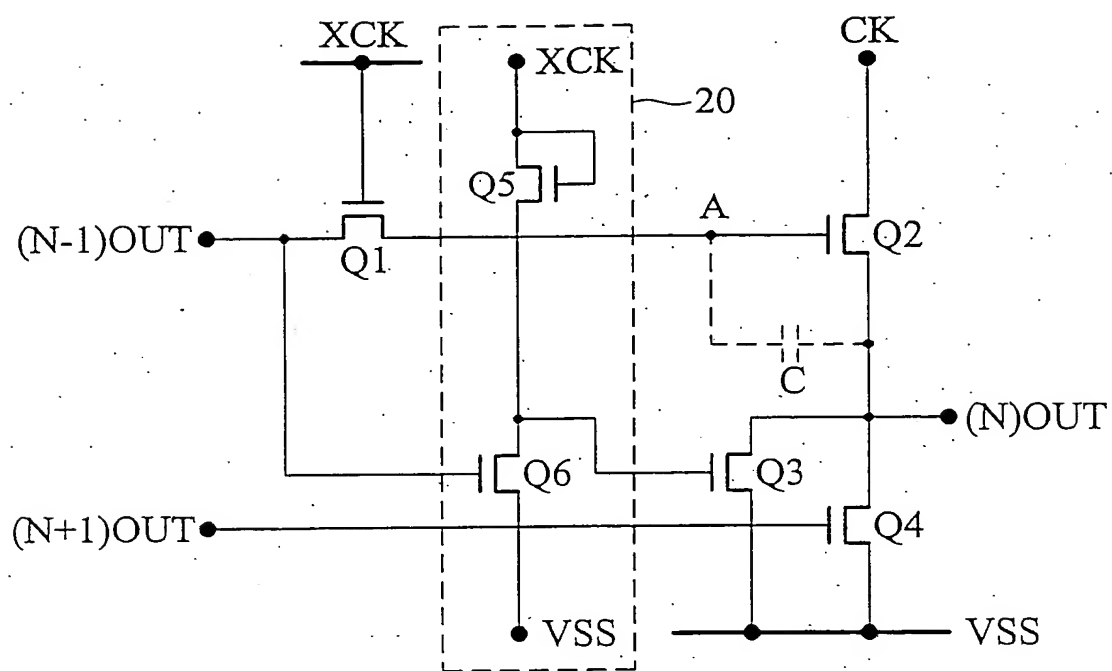
第 2 圖



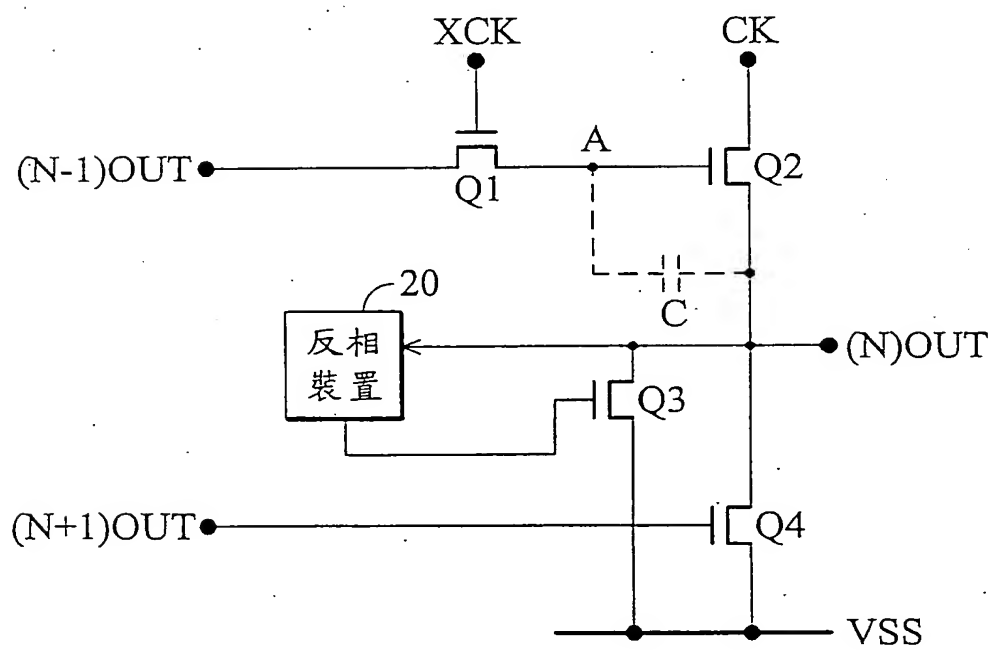
第 3 圖



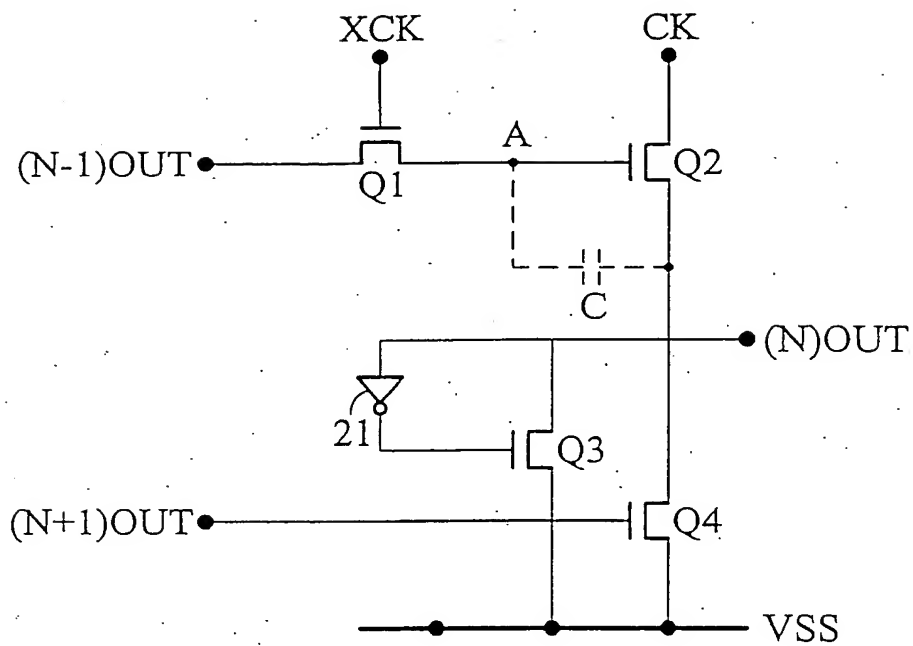
第 4 圖



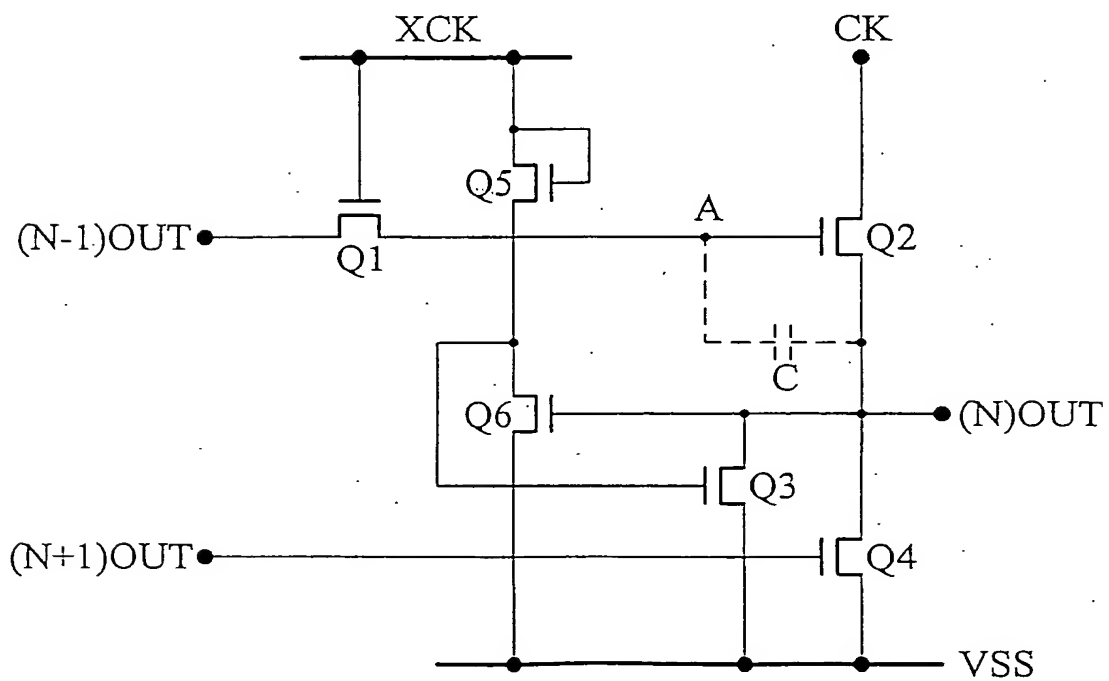
第 5 圖



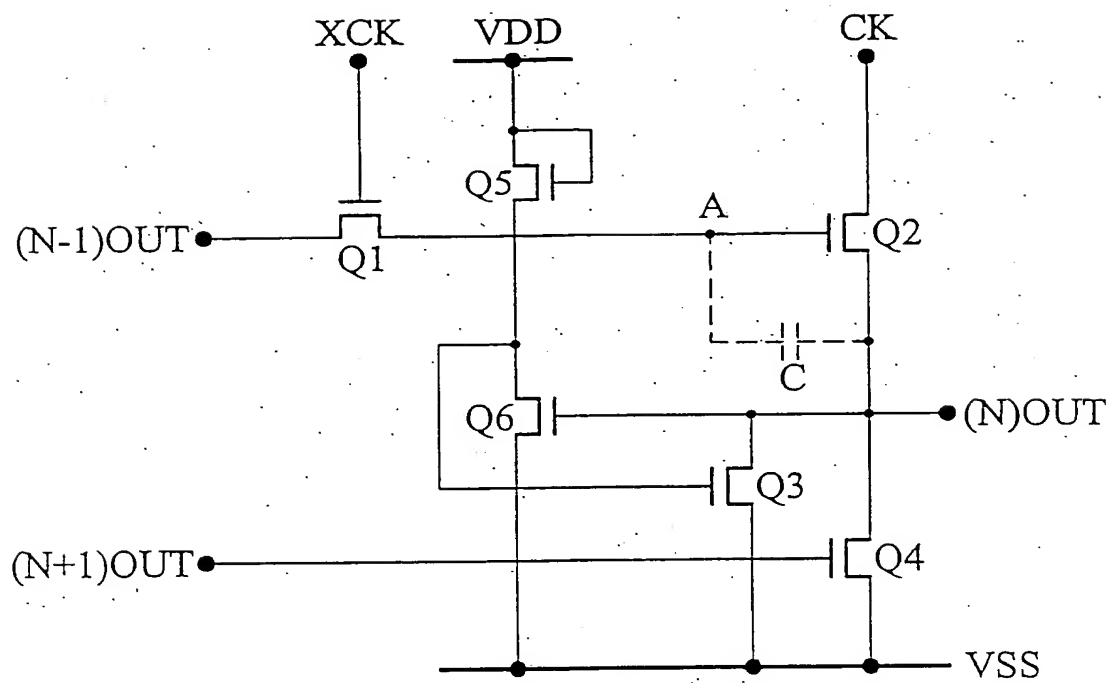
第 6 圖



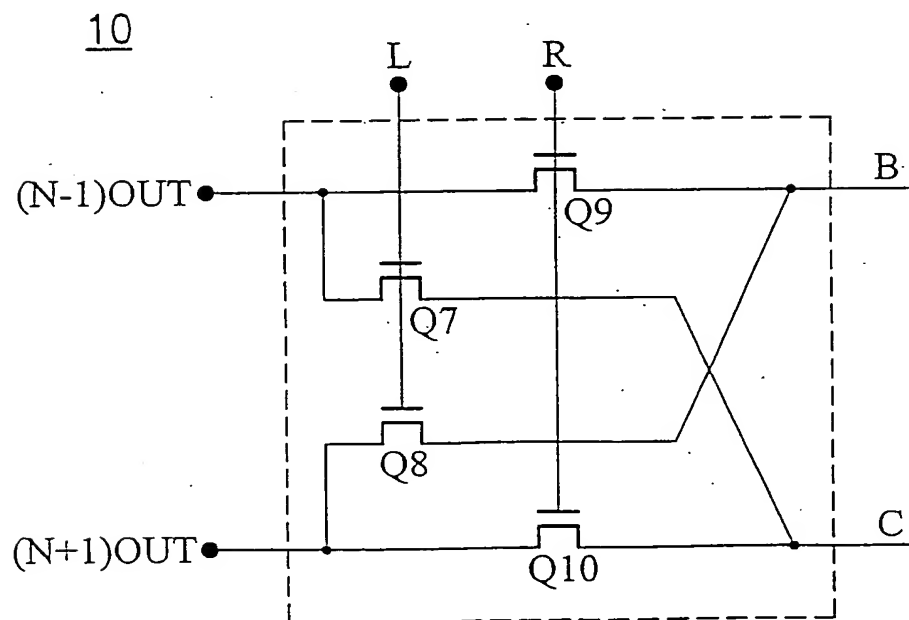
第 7 圖



第 8 圖

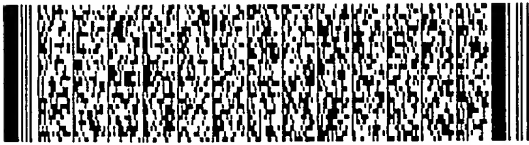


第 9 圖



第 10 圖

第 1/22 頁



第 2/22 頁



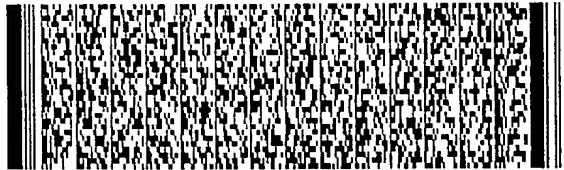
第 3/22 頁



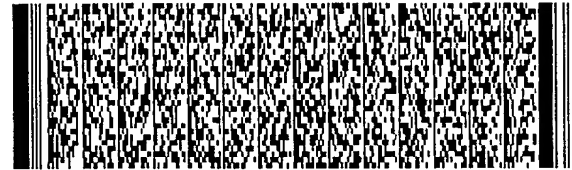
第 4/22 頁



第 5/22 頁



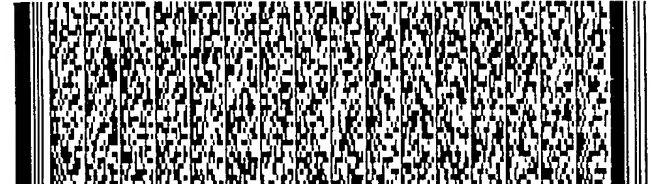
第 5/22 頁



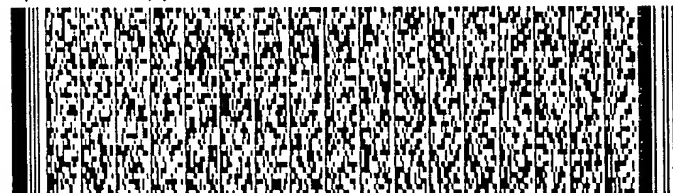
第 6/22 頁



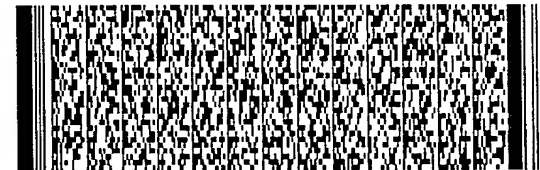
第 7/22 頁



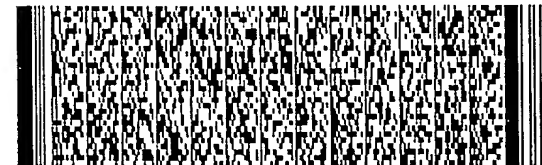
第 8/22 頁



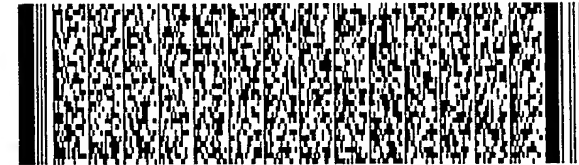
第 9/22 頁



第 9/22 頁



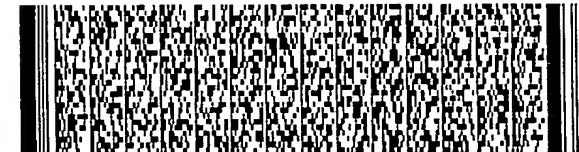
第 10/22 頁



第 10/22 頁



第 11/22 頁



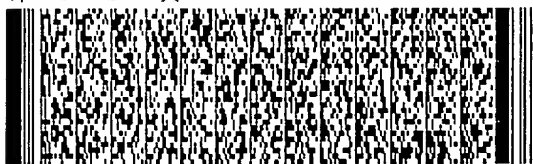
第 11/22 頁



第 12/22 頁



第 12/22 頁



第 13/22 頁



第 13/22 頁



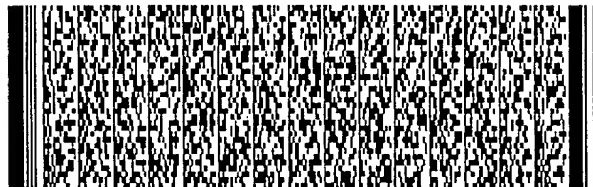
第 14/22 頁



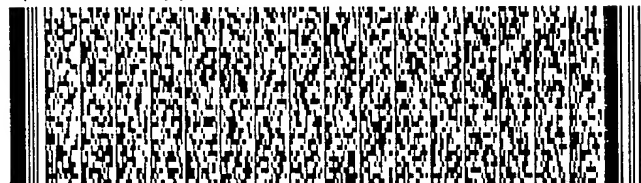
第 15/22 頁



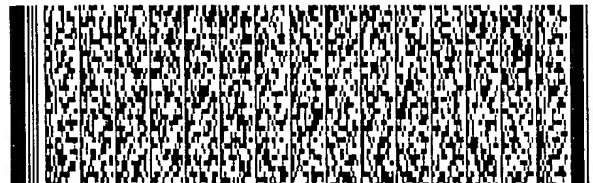
第 16/22 頁



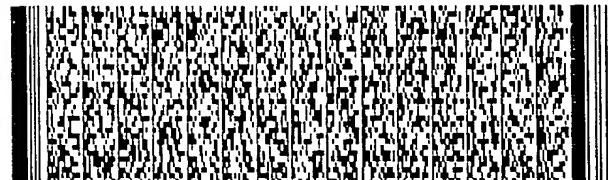
第 17/22 頁



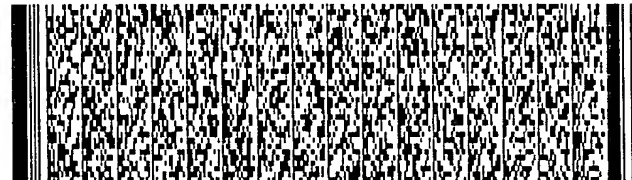
第 18/22 頁



第 19/22 頁



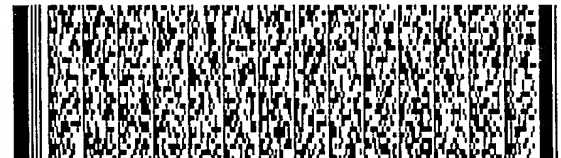
第 20/22 頁



第 21/22 頁



第 22/22 頁



BEST AVAILABLE COPY